

# Úlohy na cvičení z předmětu Přídavná zařízení

LS 2005 – 2006

## 1. Řízení grafického displeje DMA řadičem

K vývojovému zařízení EVB2633F je prostřednictvím desky Disp\_Kbd\_1 připojen LCD displej Powertip PG320240 s rozlišením 320 × 240 bodů. Úkolem je napsat procedury pro inicializaci displeje a přenos dat do obrazové paměti displeje s využitím DMA řadiče, vestavěného v procesoru H8S/2633F.

## 2. Snímání dat z dotykové obrazovky

LCD displej Powertip PG320240 je vybaven dotykovou obrazovkou, která je řízena speciálním obvodem ADS7846. Úkolem je napsat procedury pro detekci dotyku a zjištění souřadnic dotyku obrazovky.

## 3. Porovnání rychlosti DMA přenosu v blokovém režimu a režimu s kradením cyklů

DMA řadič procesoru H8S/2633F lze naprogramovat do několika režimů. Úkolem je experimentálně zjistit rozdíl přenosové rychlosti pro blokový režim a režim kradení cyklů.

## 4. Vysílání a příjem na rozhraní SCI s využitím DMA řadiče

Procesor H8S/2633F dovoluje používat vestavěný DMA řadič ve spolupráci s dalšími vestavěnými IO obvody, mj. též s řadičem sériového rozhraní SCI. Úkolem je napsat procedury pro vysílání a příjem dat s využitím DMA řadiče procesoru H8S/2633F. Součástí řešení je i odhad maximální dosažitelné přenosové rychlosti.

## 5. Vysílání a příjem na rozhraní SCI s využitím přerušení

Úkolem je napsat procedury pro vysílání a příjem dat na rozhraní SCI procesoru H8S/2633F s využitím přerušení po každém vyslaném/přijatém znaku. Součástí řešení je i odhad maximální dosažitelné přenosové rychlosti.

## 6. Programový kodér dat FM a MFM

Úkolem je napsat procedury, které budou na zvoleném výstupu (pinu) procesoru H8S/2633F vysílat sériově data, zakódovaná kódem FM a/nebo MFM. Hodinová základna pro vysílání bude generována časovačem nebo jednotkou TPU procesoru H8S/2633F. Součástí řešení je odhad maximální dosažitelné přenosové rychlosti pro oba kódy.

## 7. Programový dekodér dat FM a MFM.

Úkolem je napsat procedury pro dekodování dat, která jsou sériově v kódu FM nebo MFM zavedena na určitý vstupní pin procesoru H8S/2633F. Dekodér musí být schopen tolerovat určité kolísání přenosové rychlosti přijímaných dat. Součástí řešení je odhad maximální použitelné přenosové rychlosti pro oba kódy.

## 8. Programový kodér dat RLL

Úkolem je napsat procedury, které budou na zvoleném výstupu (pinu) procesoru H8S/2633F vysílat sériově data, zakódovaná kódem RLL zvoleného typu. Hodinová základna pro vysílání

bude generována časovačem nebo jednotkou TPU procesoru H8S/2633F. Součástí řešení je odhad maximální dosažitelné přenosové rychlosti pro oba kódy.

### **9. Programový dekodér dat RLL.**

Úkolem je napsat procedury pro dekodování dat, která jsou sériově ve zvoleném kódu RLL zavedena na určitý vstupní pin procesoru H8S/2633F. Součástí řešení je odhad maximální použitelné přenosové rychlosti pro oba kódy.

### **10. Čtení klávesnice PC**

K vývojovému modulu EVB2633F je připojena standardní klávesnice PC. Úkolem je napsat proceduru pro programové čtení dat z klávesnice.

### **11. Čtení klávesnice PC, HW řešení**

K vývojovému modulu EVB2633F je připojena standardní klávesnice PC. V obvodu CPLD na desce Disp\_Kbd\_1 je naprogramován převodník sériového kódu klávesnice na paralelní. Při příjmu znaku je generováno přerušení. Úkolem je napsat proceduru pro čtení znaku, využívající přerušení generované obvodem CPLD.

### **12. Snímání maticové klávesnice**

K vývojovému modulu EVB2633F je prostřednictvím desky Disp\_Kbd\_1 připojena maticová klávesnice 4 × 4 klávesy. Úkolem je napsat proceduru pro skenování klávesnice, včetně ošetření vícenásobných stisků a funkce „autorepeat“. Algoritmus čtení musí tolerovat zákmity spínačů jednotlivých tlačítek.

---

#### ***Poznámky:***

Při řešení jednotlivých úloh mohou být užitečné následující odkazy:

- Detailní informace o [připojení jednotlivých periférií](#) k vývojovému modulu EVB2633F.
- [Popis vývojových modulů EVB2633F](#), rozšiřujících desek a konfigurací obvodů CPLD.
- Popis některých používaných obvodů a další [technické informace](#).