

Sběrnice PCI, PCI-X, PCI Express

- Přehled PCI, PCI-X
- Meze paralelních sběrnic.
- Důvody pro zavedení vysokorychlostních sériových protokolů do systémových sběrnic.
- Vlastnosti sběrnice PCI Express.
- Zobecnění získaných poznatků.

Historie sběrnice PCI a PCI-X

- V souvislosti s rozvojem systémových sběrnic se hovoří o generacích systémových sběrnic.

1. generace:

Sběrnice ISA – **paralelní 16 bitová, asynchronní sběrnice**, z pohledu pozdějších paralelních technologií pomalá sběrnice (synchronizace 8 - 10 MHz), šířka pásma 10 MB/s.

Zvyšování rychlosti sběrnice – **rozšiřování sběrnice** (extensivní rozvoj).

Jednoduchá komunikace – přenosy dat z prvků na straně procesoru (paměť, registry) do jiných prvků (registrů fyzicky přítomných v jiných komponentách, např. řadičích periferních zařízení).

Zabudovány mechanismy na generování **žádosti o přerušení** a **přímý přístup do paměti**.

Omezený počet prvků, které mohou (jsou schopny) řídit sběrnici:

Řadič sběrnice (po rozpoznání instrukce IN/OUT)

Řadič přímého přístupu do paměti (po generování žádosti o přímý přístup do paměti např. některým z řadičů PZ)

Struktura sběrnice ISA a její mechanické a elektrické vlastnosti neznamenal výrazný pokrok ve srovnání s technologiemi konstrukce sběrnic 60. a 70. let.

2. generace:

Sběrnice EISA, MCA, později PCI a PCI-X

Paralelní synchronní sběrnice (PCI a PCI-X), přenosové rychlosti řádově jednotky GB/s.

Hierarchická struktura vytvořená pomocí mostů (bridge) – viz PCI, PCI-X. Vybavení sběrnice prostředky, které byly do té doby nestandardní – aplikace JTAG.

3. generace:

Sběrnice PCI Express

Sériová komunikace typu point-to-point. Možnost použití více spojů – zvýšení rychlosti přenosu a šířky pásma.

Do systémové sběrnice byla vložena sériová komunikace.

Sběrnice PCI

- Současný stav: standardizovaná, vysoce efektivní a spolehlivá rozšiřovací sběrnice podporovaná několika počítačovými platformami (např. PC).
- Pravidelná aktualizace [specifikací sběrnice PCI](#).

- Specifikace PCI 1.0 (1992):
Definice obecné koncepce sběrnice, signály a protokol 32 bitové paralelní synchronní sběrnice se synchronizací 33,3 MHz a šířkou pásma 132 MB/s.
- Specifikace PCI 2.0 (1993):
Definována alternativa rozšíření na 64 bitů, rychlost až 64 MB/s, napájení 5 V nebo 3,3 V.
- Specifikace PCI 2.1 (1995):
66 MHz, napájení 3,3 V – možnost dosáhnout šířku pásma 264 MB/s (32 bitová verze) a 528 MB/s (64 bitová verze).
- Další verze PCI 2.2, PCI 2.3 a PCI 3.0 – zrychlování přenosů, redukce napájení (3,3 V).

- Zobecnění trendů inovací sběrnice PCI:
Zvyšování rychlosti přenosu dat zdokonalováním elektrických a mechanických vlastností sběrnice PCI.
Příklad: snižování napájecího napětí – snižování logických hodnot přenášených přes sběrnici.
- Základní princip architektury architektur na bázi sběrnice PCI (připomenutí obsahu dřívější přednášky):
Ke sběrnici procesoru je připojena přes výkonný **Northbridge** (severní most), přes nějž jsou připojena zařízení s vysokými požadavky na rychlost.
Southbridge – jižní most: připojení méně výkonných zařízení (standardních).
Bus Master – zařízení má schopnost realizovat přenosy přes sběrnici (řídí sběrnici) bez nutnosti použít prvek typu „řadič přímého přístupu do paměti“.

Komunikace mezi zařízeními ve sběrnici – přes paměť a registry – rozsah adres je konkrétnímu zařízení přidělen a je uveden v konfiguračním souboru.

Každé zařízení obsahuje sadu konfiguračních souborů – ty jsou adresovatelné a tudíž programovatelné:

⇒ každé zařízení má tři adresové prostory: paměťový, V/V registrů a konfigurační registry.

Konfigurace může provádět pouze počítač, prvky bus master tuto možnost nemají.

Sběrnice PCI-X

- Rok 1999 – objevilo se rozšíření PCI-X založené na specifikaci PCI 2.3.
- Trend: další zvyšování rychlosti cestou zdokonalování elektrických a mechanických vlastností, snižování napájecích napětí – zkracování doby přepnutí mezi stavy aktivních prvků.

- Ve sběrnici PCI-X byla realizována strategie n-násobných přenosů vůči základní frekvenci 133 MHz.

PCI-X266 – dvojnásobná přenosová frekvence (za jednu periodu základního kmitočtu se přenos zrealizuje dvakrát).

PCI-X533 – čtyřnásobná přenosová frekvence (za jednu periodu základního kmitočtu se přenos zrealizuje čtyřikrát).

Vysoké kmitočty přenosu – nutnost nízkonapěťového rozhraní (1,5 V) a využití technik na opravu chyb – ECC (Error Correcting Codes – samoopravné kódy).

- Poznámka: AGP vychází ze sběrnice PCI.

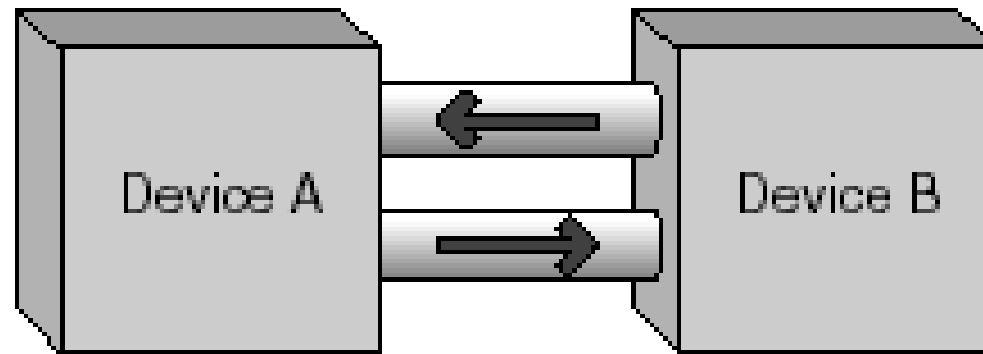
Tabulka 1: Přehled konfigurace jednotlivých typů PCI sběrnice

Typ sběrnice	PCI - 33		PCI - 66		PCI-X 66		PCI-X 133		PCI-X 266			PCI-X 533		
Počet datových bitů	32	64	32	64	32	64	32	64	16	32	64	16	32	64
Počet pinů ¹	49	81	49	81	50	82	50	82	36	50	82	36	50	82
Přenosová rychlost MB/s ²	133	266	266	533	266	533	533	1066	533	1066	2133	1066	2133	4266
Napájecí napětí	5/3,3V		3,3V		3,3V		3,3V		1,5V a 3,3V			1,5V a 3,3V		

- Trend: zvyšování základní frekvence, více přenosů realizovaných v rámci jedné periody základního kmitočtu (v této tabulce nezachyceno), snižování napájecího napětí.

Sběrnice PCI Express (PCI E)

- O sběrnici PCI Express se hovoří jako o stavu, který nastal, když křivka reflektující vývoj systémových sběrnic, ustrnula na inflexním bodě.
- Poprvé se v sestavách počítačů objevila v r. 2004.
- Charakteristika:
PCI Express je **vysokorychlostní, sériový, nízkonapěťový diferenciální spoj** pro komunikaci mezi dvěma zařízeními.
Spoj je realizován jako dvojitý jednosměrný spoj (dva jednosměrné spoje).



- Spojení **Full duplex** – současně je možné přenášet data v obou směrech maximální možnou frekvencí.
- Jiný princip: Half duplex – je možné přenášet pouze v jednom směru.

- Proč vysokorychlostní?

Rychlost přenosu: 2,500,000,000 bits/s (2,5 Gb/s) - Standard PCI Express 1.1 (250 MB/s) – v jedno spoji (hodnota Gb/s se dělí 10 – používá se kódování 8b/10b).

Spoj PCI Express x 16 – rychlost 4 GB/s.

Standard PCI Express 2.0 (15. ledna 2007) – 5 Gb/s (500 MB/s).

Standard PCI Express 3.0 (ohlášeno v srpnu 2007) – 10 Gb/s (1 GB/s).

Stále se výrazně využívá Standard PCI Express 1.1.

- Proč nízkonapěťový?

Pracuje se s napětími 0,8 – 1,2 V (technika LVDS – Low Voltage Differential Signalling).

Vyšší šířka pásma sběrnice PCI Express než šířka pásma sběrnice PCI, počet vývodů konektoru je přibližně 10x menší (relace „rychlost“ versus „počet vývodů konektoru“ – jeden ze způsobů posuzování rychlosti přenosu).

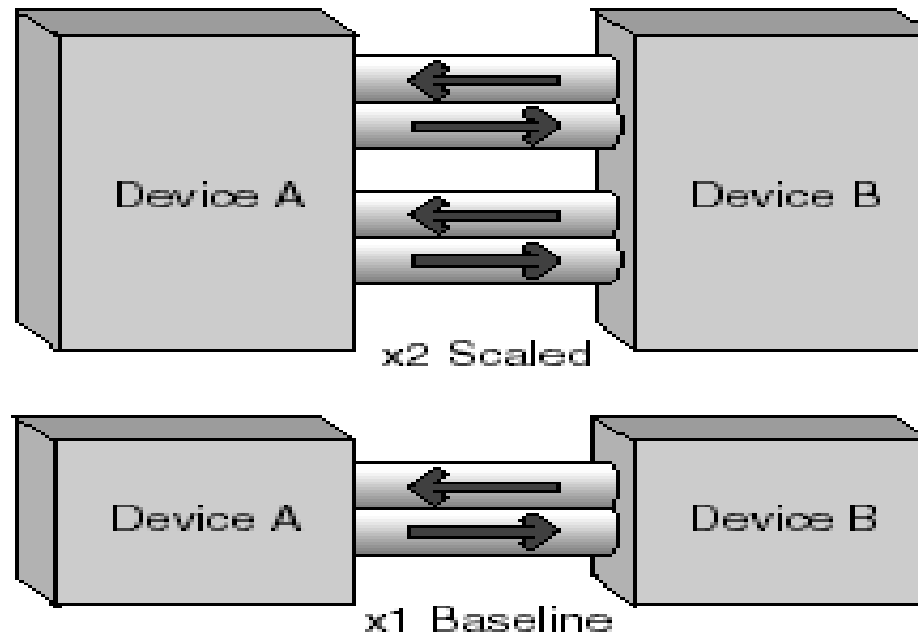
- Možnosti PCI Express jsou rozšiřitelné (scalable) v tom smyslu, že přidáním dalšího spoje se zvýší šířka pásma.
- PCI Express nahrazuje AGP, PCI, PCI-X, její současné schopnosti nejsou konečné, současný stav – náhrada AGP v konstrukci grafických adaptérů.
- Výhoda: point-to-point spoje se neovlivňují, pokud potřebujeme na jednom spoji realizovat větší šířku pásma, ostatní spoje to neovlivňuje.

- PCI Express Base Specification:

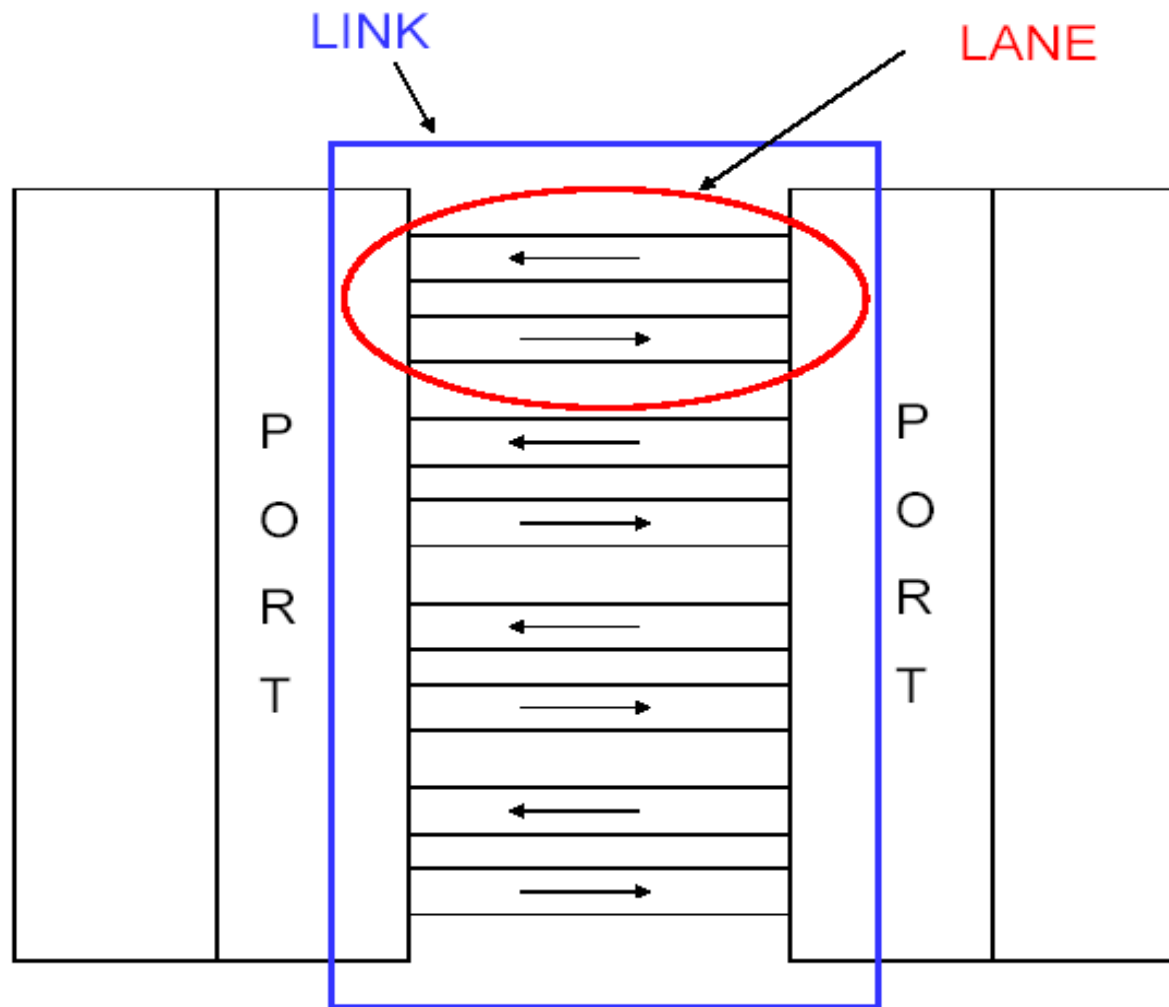
Jsou definovány tyto konfigurace sériových spojů: x1, x2, x4, x8, x12, x16, and x32

Příklad: konfigurace **x1** představuje jeden spoj oběma směry.

Konfigurace **x2** představuje dva sériové spoje (každý pro oba směry).



- V počítačích se sběrnici PCI Express není zapotřebí arbitr pro rozhodnutí o přidělení sběrnice pro přenos dat – spoj point-to-point.
- Zařízení na spoji PCI Express může kdykoliv do sériového spoje poslat data, stejně tak musí být připraveno ze vstupního spoje data přijmout. Každý spoj je dedikovaný.



- Terminologie:

Link - spoj mezi dvěma zařízeními na PCI Express.

Lane – dvě dvojice vodičů, přes něž se přenáší diferenciální signál (dva směry) - vysílání a příjem.

Žádné další adresové, řídicí signály a datové signály (typické např. pro sběrnici PCI, komunikace s využitím paketů).

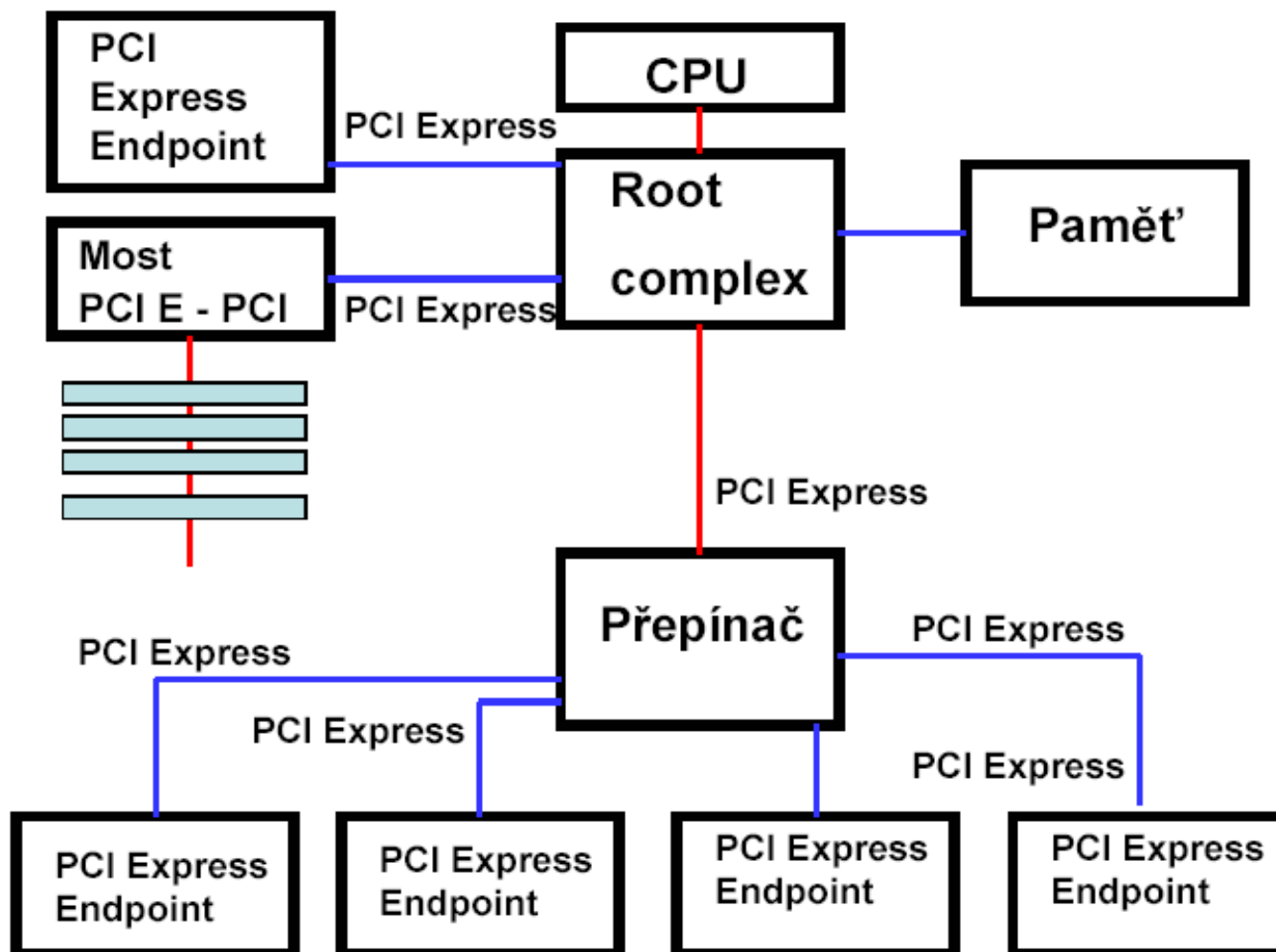
Architektura spoje PCI Express je modulární – architektura je rozšiřitelná z hlediska počtu spojů – v anglosaské literatuře označováno jako „**scalability**“ – důležité z hlediska perspektivy sběrnice.

Poznámka: pokud je v architektuře počítače prvek (sběrnice), který není tzv. „scalable“, pak „nemá v architektuře perspektivu“ – snaha o změnu.

Scalable – rozšiřitelný.

- Závěr: sběrnice PCI Express může být „nastavena“ pro řadu aplikací, protože má nastavitelnou různou rychlost přenosu. Proto má sběrnice PCI Express široké použití v řadě aplikací.
- Srovnání rychlostí:
Jeden spoj PCI Express 1.1 – dvakrát rychlejší než rychlost sběrnice PCI (250 MB/s v. 133 MB/s)
Spoj sestávající ze 4 lane má rychlost srovnatelnou s nejrychlejší verzí sběrnice PCI-X 1.0, spoj sestávající z 8 lane má rychlost srovnatelnou s nejrychlejší verzí AGP.
- Pracuje se s kódováním 8b/10b (viz dále).

Typy zařízení na sběrnici PCI Express



- Root Complex

Propojení V/V podsystému na procesor a paměť.

Může to být např. prvek (G)MCH (Graphics & Memory Controller Hub) nebo jeho kombinace s ICH (I/O Controller Hub).

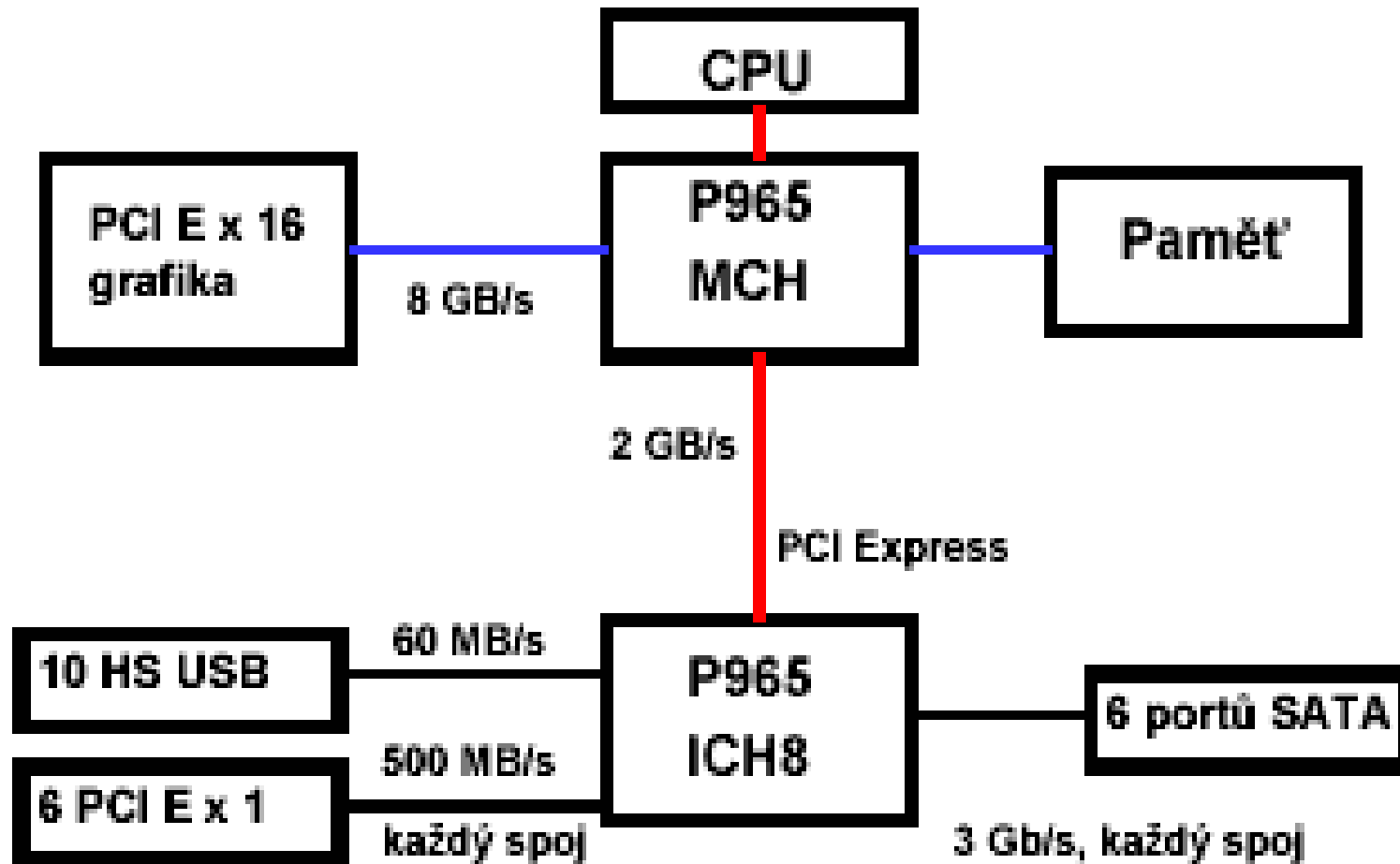
- Přepínače

- Most PCI E na PCI

Možnost koexistence PCI Express s technologií PCI/PCI-X.

- Každý spoj je realizovatelný na různých rychlostech.

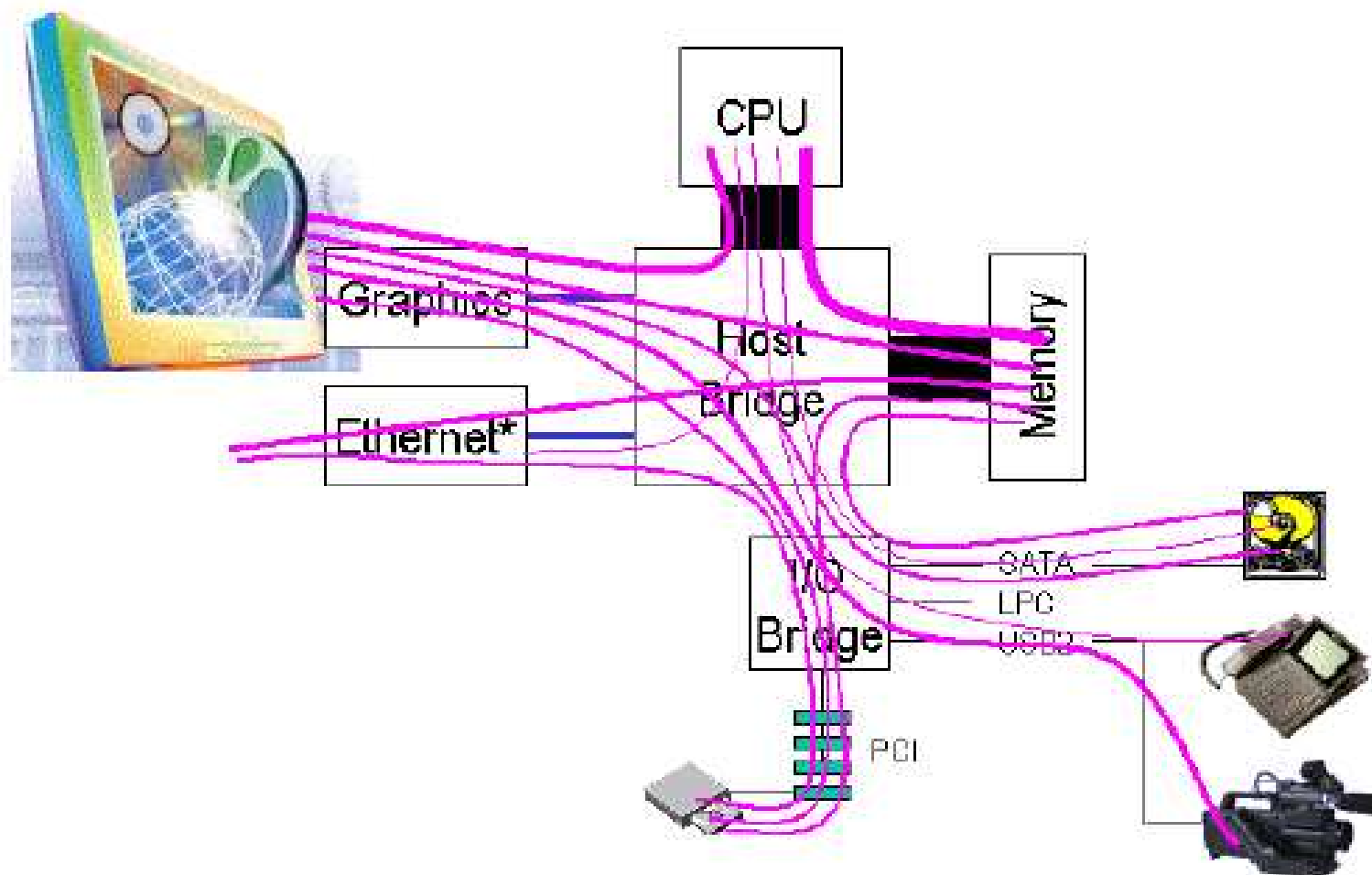
Reflexe obecné architektury v současné čipové sadě fy Intel



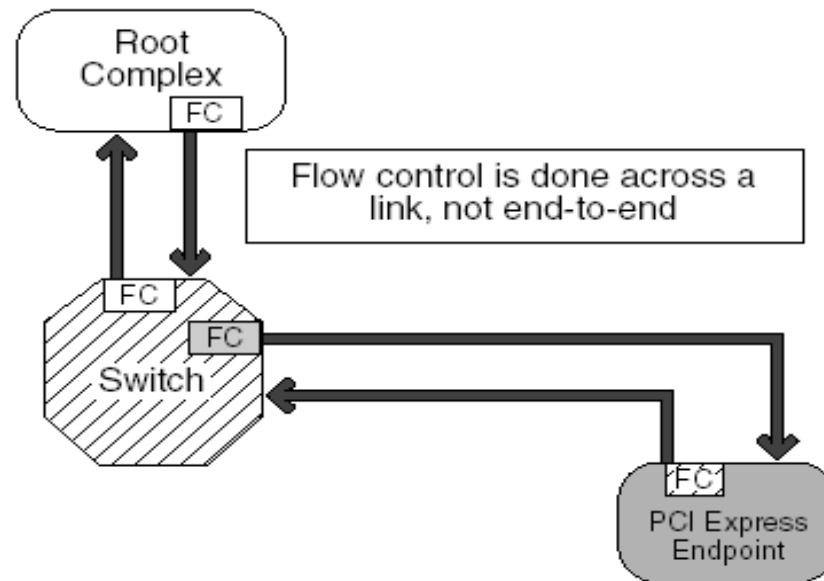
- Poznámky:

Grafický adaptér připojen přes PCI Express x 16, každý spoj 500 MB/s (5 000 Gb/s).

Toky dat v počítači se sběrnicí PCI Express



Architektury počítačů na bázi sběrnice PCI Express



- Pojem FC – Flow Control (řízení toku)
Na různých úrovních mají prostředky FC různou funkci.
Úroveň Root Complex: posílání paketů do přepínače.
Směrování se odehrává až na úrovni přepínače.

Transakce na sběrnici PCI Express

- Tzv. „split-transaction“ protokol (rozdělený protokol).
Transakce sestává ze dvou částí: **požadavek** (request) a **provedení** (provedení).
- Mechanismus:
Iniciátor transakce (žadatel – **requester**) vyšle paket „žádost“.
Cíl (**completer**) paket přijme, provede požadované činnosti, pak odpoví paketem (tzv. **completion packet**).
- Dvě zařízení spojená spojem nemusí být nutně ve vztahu requester – completer.
- Příklad: přepínač dostane transakci z root complex (bude dále poslána do Endpoint), přepínač není completer.
Endpoint dostane transakci z přepínače, přepínač není requester.

Typy transakcí

Paměťové transakce

- Operace (zápis/čtení) – prvky adresované v adresovém prostoru paměti.

V/V transakce

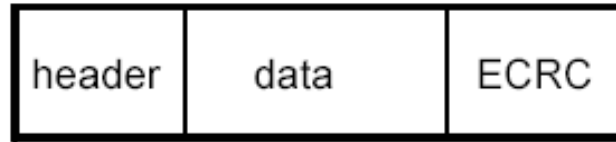
- Operace (zápis/čtení) – prvky adresované ve V/V adresovém prostoru.

Konfigurační transakce

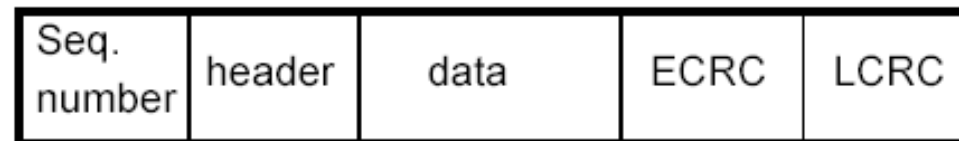
- Operace (zápis/čtení) – prvky adresované v konfiguračním adresovém prostoru.

Transakce typu „zpráva“

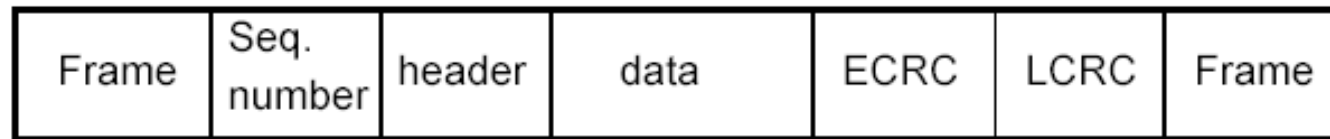
- Hlášení o chybách, power management.



Transaction Layer



Data Link Layer



Physical Layer

ECRC end-to-end CRC
LCRC link CRC

- **Transaction Layer (transakční vrstva)** – konvertuje požadavky na nějakou činnost do paketů (TLP - Transaction Layer Packet)
Header (hlavička) - typ transakce (I/O versus paměť)
- Požadavek na přenos z paměti (délka dat a adresa paměti):
Na úrovni Transaction Layer se vytvoří paket a doplní se hlavičkou.
Např. hlavička pro paměťové transakce obsahuje adresu, s níž se bude pracovat (a další informace).
Typ požadavku:
MRd – Memory Read Request
MWr – Memory Write Request
IORd – I/O Read Request
IOWr – I/O Write Request

Důležité: v paketu (její hlavičce) je k dispozici struktura, která obsahuje informace, které byly v paralelní sběrnici přenášeny paralelně. Nemůže to být jinak, protože jde o periferní operaci.

- **Data Link Layer (spojovací vrstva)**

Paket je doplněn o **sequence number** (pořadové číslo paketu), pro následnou kontrolu pořadí paketů na straně příjemce – spojovací vrstva má v sobě integrovány kontrolní funkce.

Další funkce na této úrovni na vysílací straně: **doplnění LCRC (Link CRC)**.

Kontrola LCRC na straně přijímače.

- **Physical Layer (spojovací vrstva)**

Je reprezentovaná obvody, které jsou potřebné pro realizaci protokolu: **vyrovnávací paměti, obvody pro transformaci paralelní informace na sériovou a naopak, obvody fázového závěsu**

(generování synchronizace), impedanční přizpůsobení sériových linek.

Konverze 8b na 10 b.

Konverze paralelních dat na sériová.

Doplnění „frame“ – rámeček, vymezení začátku a konce paketu.

- Na přijímací straně je postup opačný ve všech vrstvách. Na přijímací straně se kontroluje to, co bylo na vysílací straně na příslušné úrovni do paketu vloženo.

Co je dále řešeno ve sběrnici PCI Express:

- Data Scrambling.
- Kódování 8b/10b.
- Synchronizace vložená do přenášených dat (embedded clocking).

Data Scrambling

- Význam slova „Scramble“ – zakódovat (kromě jiného).
- Cíl: odstranění jevu, který je označován jako „elektrická resonance“.
- Elektrická resonance: vznikne jako výsledek opakovaných přenosů stejných vzorů dat přes spoj.
- Přenášená data jsou přenášena přes LZPR (Lineární Zpětnovazební Posuvný Registr – Linear Feedback Shift Register - LFSR).
- LZPR realizuje polynom $G(x) = X^{16} + X^5 + X^4 + X^3 + 1$, tzn. vysílaná data jsou dělena tímto polynomem.
- Přijatá data jsou na přijímací straně zpracována „opačným směrem“
- Scrambling (vysílací strana) – descrambling (přijímací strana).

Kódování 8b/10b

- Účel: vložení synchronizace do přenášených dat (embedded clocking).

- Poznámka: uvědomme si problém „clock skew“ při paralelních přenosech – posunutí některého z bitů proti hraně vzorkovacího signálu.

Tentýž problém pokud sériově přenášená data jsou na přijímací straně synchronizována synchronizací přenášenou samostatným spojem.

Řešení: „vlození“ synchronizace spolu s daty do jednoho signálu, rozpoznání dat a synchronizace na přijímací straně.

Vložení synchronizace – uspořádání posloupnosti datových bitů tak, aby se v ní pravidelně vyskytovaly změny signálu. Od těchto změn signálu je možné na přijímací straně zesynchronizovat obvody fázového závěsu, který generuje synchronizační pulsy.

- Výsledek překódování: „00h“ v bitové podobě „00000000“ (8 bitů) se překóduje na posloupnost: „1 1010001 10“ (10 bitů).

Výsledek:

Ve vysílaných posloupnostech bitů reprezentujících jednotlivé znaky se vyskytují tyto alternativy (totéž jako v SATA):

pět „1“ a pět „0“

čtyři „1“ a šest „0“

čtyři „1“ a šest „0“

Změna vysílaného signálu tak, že je splněn požadovaný parametr „run length limited“ – na přijímací straně je možné tyto změny využít na zesynchronizování PLL (phased-locked loop – fázový závěs).

Průběžná disparita

- Počet „1“ a počet „0“ přenášený přes kabel je shodný.
- Využití pro detekci chyb na přijímací straně.

Nulová ss složka

- Sleduje se průběžná disparita na vodiči, přes nějž se signál přenáší.

Závěr: technika využitá v PCI Express je shodná s technikou využitou v SATA.

http://en.wikipedia.org/wiki/PCI_Express#Hardware_protocol_summary